

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

011524102 ***Image available***

WPI Acc No: 1997-500588 199746

Related WPI Acc No: 1997-376588

XRPX Acc No: N97-417282

Semiconductor element mfr method e.g. T-Si TFT - involves making source of heat emission to approach and scan semiconductor layer at predetermined velocity

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL)

Inventor: HIRANO K; MORIMOTO Y; SUZUKI K; TAKEUCHI M; YONEDA K

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9237900	A	19970909	JP 9643695	A	19960229	199746 B
US 5837568	A	19981117	US 96763556	A	19961210	199902
KR 97054529	A	19970731	KR 9664170	A	19961211	199911

Priority Applications (No Type Date): JP 9643695 A 19960229; JP 95323203 A 19951212

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9237900	A	14	H01L-029 786	
US 5837568	A		H01L-021 339	
KR 97054529	A		H01L-029 786	

Abstract (Basic): JP 9237900 A

The method involves forming a low concentration area (LL) in a predetermined area of a semiconductor layer by injecting first impurity in low doses. A part of low concentration area is then removed. First impurity and second impurity which have same electrically conductive material are injected in high doses. A high concentration area in contact with part of low concentration area is then formed. Then, heat treatment is done to actuate impurity of low and high concentration areas.

During the first process, an ion by discharge and a high electric field from the raw material containing the first impurity element is produced. Ion of the first impurity is injected into a semiconductor layer. During the second process, an ion by discharge and high electric field from the raw material containing the second impurity element is produced. In the third process, a source of heat emission is made to approach and scan semiconductor layer at a predetermined velocity.

USE ADVANTAGE - In OA appts, AW equipment. Increases scanning speed. Raises throughput by shortening annealing time.

Dwg.3 22

Title Terms: SEMICONDUCTOR; ELEMENT; MANUFACTURE; METHOD; TFT; SOURCE; HEAT ; FMT; APPROACH; SCAN; SEMICONDUCTOR; LAYER; PREDETERMINED; VELOCITY

HOPE 02/2001 HOPE 02/2001

File Segment: LPI; EngPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-237900

(43) 公開日 平成9年(1997)9月9日

(51) Int.Cl.⁶ 識別記号 庁内整理番号
H 0 1 L 29/786
G 0 2 F 1/136 5 0 0
H 0 1 L 21/26
21/265
21/336

F I 技術表示箇所
H 0 1 L 29/78 6 1 6 V
G 0 2 F 1/136 5 0 0
H 0 1 L 21/26 L
21/265 F
29/78 6 1 6 A

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号 特願平8-43695
(22) 出願日 平成8年(1996)2月29日

(71) 出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72) 発明者 米田 清
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72) 発明者 森本 佳宏
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72) 発明者 平野 貴一
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74) 代理人 弁理士 岡田 敬

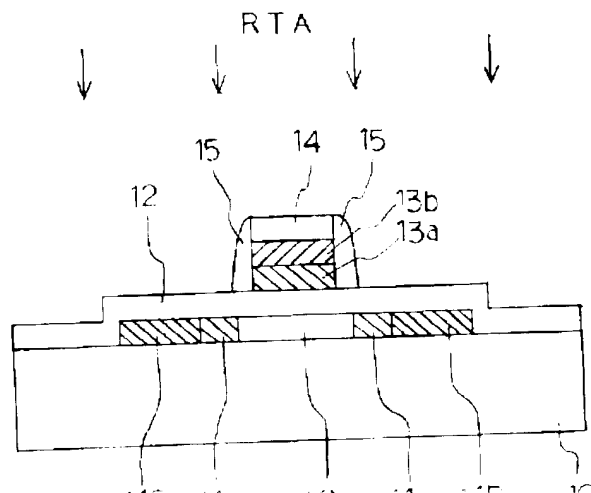
最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】 p-S i T F T の製造方法において、LDD部の形成方法を改善し、高スループット化と特性の安定化を図る。

【解決手段】 LDD領域 (11L) の低濃度ドーピングには、制御性を重視して、質量分析を行うイオン打ち込方法を用い、ソース及びドレイン領域 (11S、11D) の形成には、高スループットを重視して、質量分析を行わないイオンシャワー法を用いる。イオンシャワー法では、注入損傷を抑えた注入ができるため、不純物の活性化のためのRTAにおいて処理温度を下げ、基板の劣化を防ぐとともに、走査速度を上げてスループットを上げることができる。



【特許請求の範囲】

【請求項1】 半導体層の所定領域は、所定の導電形を示す第1の不純物を低ドーパ量で注入することにより低濃度領域を形成する第1の工程と、前記低濃度領域の一部を除き、前記第1の不純物を同じ導電形を示す第2の不純物を高ドーパ量で注入することにより、前記低濃度領域の一部に接して高濃度領域を形成する第2の工程と、前記低濃度領域及び前記高濃度領域の不純物の活性化のために熱処理を行う第3の工程を有する半導体素子の製造方法において、

前記第1の工程は、第1の不純物元素を含んだ原料から放電及び電界によりイオンを取り出し、これらイオンから質量分析により第1の不純物のイオンを取り出し、この第1の不純物のイオンを前記半導体層へ注入する工程であり、

前記第2の工程は、第2の不純物元素を含んだ原料から放電及び電界によりイオンを取り出し、これら全てのイオンを前記半導体層へ注入する工程であり、

前記第3の工程は、発熱源を直接させて所定の速度で走査する工程であることを特徴とする半導体素子の製造方法。

【請求項2】 前記第2の不純物元素を含んだ原料は前記第2の不純物元素の水素化合物と、水素上の混合気体であることを特徴とする請求項1記載の半導体素子の製造方法。

【請求項3】 前記所定の速度は、 1.0 mm/s 以上であることを特徴とする請求項1または請求項2に記載の半導体素子の製造方法。

【請求項4】 前記所定の速度は、 1.2 mm/s 以上であることを特徴とする請求項1または請求項2に記載の半導体素子の製造方法。

【請求項5】 前記第2の不純物のイオンの注入ドーパ量は単位面積センチメートル当たり 1×10^{14} の1乗倍以上であることを特徴とする請求項1または請求項2に記載の半導体素子の製造方法。

【請求項6】 前記第2の不純物のイオンの注入ドーパ量は単位面積センチメートル当たり 1×10^{14} の1乗倍以上であることを特徴とする請求項1、請求項2または請求項5に記載の半導体素子の製造方法。

【請求項7】 前記第2の不純物のイオンの注入ドーパ量は単位面積センチメートル当たり 3×10^{14} の1乗倍以上であることを特徴とする請求項1または請求項5に記載の半導体素子の製造方法。

【0001】

【発明の属する技術分野】本発明は、半導体素子、特に、液晶表示装置（LCD: Liquid Crystal Display）に搭載される薄膜トランジスタ（TFT: Thin Film Transistor）の製造方法に関する。

【0002】

【従来の技術】LCDは小型、薄型、低消費電力などの利点があり、OA機器、AV機器などの分野で実用化が進んでいる。特に、スイッチング素子として、TFTを用いたアクティブマトリクス型は、原理的にディスプレイ1000以上のピクセル駆動をマルチアクセス的に行うことができ、大画面、高精細な動画ディスプレイに使用されている。

【0003】アクティブマトリクスLCDは、マトリクス状に配置された表示電極にTFTを接線形成した基板（TFT基板）と共通電極を有する基板（共通基板）が、液晶を挟んで貼り合わされて構成されている。表示電極と共通電極の対向部分は液晶を誘電体とした画素容量となっており、TFTにより線順次に選択され、電圧が印加される。画素容量に印加された電圧はTFTのオン・オフ抵抗により1フレーム期間保持させる。液晶は電気光学的に異方性を有しており、画素容量により形成された電界の強度に対応して透過光量が微調整される。このように透過率が画素毎に制御された明暗の分布が所望の表示画像として視認される。

【0004】近年、TFTのチャネル層として多結晶（ポリ）シリコン（ $\mu\text{-Si}$ ）を用いることにより、マトリクス画素部と周辺駆動回路部を同一基板上に形成した駆動回路一体型のLCDが開発されている。一般に、 $\mu\text{-Si}$ は非品質シリコン（ $\mu\text{-Si}$ ）に比べて移動度が高い。このため、TFTが小型化され、高精細化が実現される。また、ゲートセルフアライニング構造による微細化、寄生容量の縮小による高速化が達成されるため、 $\mu\text{-Si}$ TFTと $\mu\text{-Si}$ TFTの電気的相列結線構造においてもMOSを形成することにより、高速駆動回路を構成することができ、このように、駆動回路を同一基板上に形成する所望の一体形成が実現されている。図16はこのような駆動回路一体型LCDの構成を示す。中央部の点線で囲まれた部分はマトリクス画素部であり、TFTのON・OFFを制御するゲートライン（G1、G2、・・・、Gn）と画素信号用のデータライン（D1、D2、・・・、Dn）が交差して配置され、その交点に液晶が配置されている。図16は、従来の駆動回路一体型LCDの構成を示す。

【0005】図16は、従来の駆動回路一体型LCDの構成を示す。

【0006】図16は、従来の駆動回路一体型LCDの構成を示す。

【0007】図16は、従来の駆動回路一体型LCDの構成を示す。

【0008】図16は、従来の駆動回路一体型LCDの構成を示す。

【0009】図16は、従来の駆動回路一体型LCDの構成を示す。

【0010】図16は、従来の駆動回路一体型LCDの構成を示す。

【0011】図16は、従来の駆動回路一体型LCDの構成を示す。

【0012】図16は、従来の駆動回路一体型LCDの構成を示す。

【0013】図16は、従来の駆動回路一体型LCDの構成を示す。

【0014】図16は、従来の駆動回路一体型LCDの構成を示す。

【0015】図16は、従来の駆動回路一体型LCDの構成を示す。

【0016】図16は、従来の駆動回路一体型LCDの構成を示す。

【0017】図16は、従来の駆動回路一体型LCDの構成を示す。

【0018】図16は、従来の駆動回路一体型LCDの構成を示す。

【0019】図16は、従来の駆動回路一体型LCDの構成を示す。

【0020】図16は、従来の駆動回路一体型LCDの構成を示す。

【0021】図16は、従来の駆動回路一体型LCDの構成を示す。

【0022】図16は、従来の駆動回路一体型LCDの構成を示す。

【0023】図16は、従来の駆動回路一体型LCDの構成を示す。

【0024】図16は、従来の駆動回路一体型LCDの構成を示す。

【0025】図16は、従来の駆動回路一体型LCDの構成を示す。

【0026】図16は、従来の駆動回路一体型LCDの構成を示す。

あるキセノンランプ（6.2）は熱を反射する反射鏡、（6.3）は基板を搬送するローラー、（6.4）は冷却ヒーター、（6.5）はホストヒーターである。基板

（6.0）はローラー（6.3）によりシリヒーター（6.4）へ送りこまれて予備加熱され、上下にキセノンランプ（6.1）、キセノンランプ（6.1）を包み込むように配置された反射鏡（6.2）よりなる密封の加熱域に送られる。基板（6.0）の移動速度はローラー

（6.3）の回転数により制御される。基板（6.0）は更にホストヒーター（6.5）により保熱されながら急激な冷却が施けられる。この方法では、基板（6.0）の寸法・搬送速度は任意に調整され、試験機では、 $\sim 3.0 \text{ mm/s}$ （c）、ランプパワー及び寸法速度を調節することにより加熱温度を制御することができる。このため加熱時間1秒〜数秒程度の短時間で、基板温度 $600 \sim 900^\circ\text{C}$ 程度の温度範囲で設定して、非晶質膜及びシリサイトを特に熱によりイオンが吸収され、基板が劣化する前に加熱を終えらせるように調節することにより基板の劣化を抑えることなど高温処理をすることができる。

【0.0.1.9】

【発明が解決しようとする課題】上述で説明したイオン打ち込み法では、熱拡散法など比べて制御性が極めて高く、原料ガス量、引き出し電圧、加速電圧を調節することにより、イオンの飛翔距離が制御され、ドーピング量やドーピング深さなどが微調整できる。特に、注入イオンの横方向拡散長が短く、マスクパターンによりドーピング領域を正確に規定することが可能となる。このため、上述述べたように自己整合技術を用いたゲートセルフアライン構造を採用することにより、トランジスタの安定性と高速度を達成することもできる。

【0.0.2.0】しかし、一方で次のような欠点もある。まず、特性上の欠陥として、イオン注入時に、多量の格子欠陥が生じることがある。このような格子欠陥は、注入条件にもよるが、例えばホスト1.0の注入では、1イオン/cm²を $1000 \sim 10000$ 個の格子欠陥が生ずる。特に、ホストシリコン膜に注入する場合、表面付近は非晶質膜、すなわち、不足なシリコン原子層が形成し、シート抵抗が増大する。このような格子欠陥は、アニールにより回復され再結晶化されるが、全膜処理工程を 600°C 以下にすることにより、耐熱温度、低い安価なガラス基板上に生ずるPを形成するいわゆる低温プロセスにおいては、このような結晶性回復が十分に得られないこともあり、特性に悪影響を及ぼすこともある。

【0.0.2.1】また、イオン注入による熱処理の欠点として、

光学的測定から膜温度を算出するハイロメーターにより測定した被処理膜温度を代入している。図より、ランプパワー1.9kW以上でシート抵抗 $2.0 \Omega/\square$ 以下が得られ、ゲート電極配線には十分な低い値が得られている。

【0.0.2.2】図3.1には同様にソース及びドレイン領域に形成されるシートシリコン膜について、シート抵抗のランプパワー依存性を示している。p型ホストシリコン膜（ドーピング量： $1.0 \times 10^{15} \text{ cm}^{-2}$ ）を○、n型ホストシリコン膜（ドーピング量： $3.0 \times 10^{15} \text{ cm}^{-2}$ ）のp型ホストシリコン膜を●、ドーピング量 $7.0 \times 10^{14} \text{ cm}^{-2}$ のp型ホストシリコン膜を◇により表している。図より、p型ホストシリコン膜は高ドーピング量に関わらず比較的低い値が得られており、ランプパワー1.9kW以上では、シート抵抗 $1.1 \text{ k}\Omega/\square$ 程度で一定している。これに対して、n型ホストシリコン膜では、ドーピング量 $3.0 \times 10^{15} \text{ cm}^{-2}$ の膜では、ランプパワー1.9kW以下ではシート抵抗は極めて高くなっており、1.9kWを超えると急激に下がって、2.1kW以上では $1.1 \text{ k}\Omega/\square$ の低い値に一定する。また、ドーピング量 $7.0 \times 10^{14} \text{ cm}^{-2}$ の膜は、ランプパワーが1.8kW以上で $3 \text{ k}\Omega/\square$ 程度のやや高い値に一定している。

【0.0.2.3】これより、燐のイオン注入においては、シート抵抗はドーピング量に大きく依存するとともに、アニール温度によっても変化が大きいことが分かる。即ち、ドーピング量が大きいかにも関わらず、アニール温度が低いと、ドーピング量が高い場合よりも抵抗が大きくなり、逆に、アニール温度を高くすることによりドーピング量が高い方が、ドーピング量が高い場合よりも低いシート抵抗が得られることが分かる。これは、燐のイオン打ち込みにより、大量の注入損傷が生じて非晶質膜が形成するとともに、燐原子がシリコンの再結晶化を妨げる作用があることが推測される。

【0.0.2.4】図3.2には、ホストシリコン膜の再結晶化に要される膜温度と寸法速度との関係を示している。図中の印は図2.1と同じである。また、図表はホストシリコン膜の再結晶化に要する温度を示している。これより、再結晶化を基板の保護のより被処理膜温度と寸法速度とが密接な関係にあることが分かる。即ち、被処理膜温度と寸法速度の設定において、この点線を超えると基板が劣化する恐れがある。この図より、ドーピング量 $3.0 \times 10^{15} \text{ cm}^{-2}$ のn型ホストシリコン膜を再結晶化する場合、この点線を描きこまなければならない。

【0.0.2.5】また、図3.3には、ホストシリコン膜の再結晶化に要する膜温度と寸法速度との関係を示している。図中の印は図2.1と同じである。また、図表はホストシリコン膜の再結晶化に要する温度を示している。これより、再結晶化を基板の保護のより被処理膜温度と寸法速度とが密接な関係にあることが分かる。即ち、被処理膜温度と寸法速度の設定において、この点線を超えると基板が劣化する恐れがある。この図より、ドーピング量 $3.0 \times 10^{15} \text{ cm}^{-2}$ のn型ホストシリコン膜を再結晶化する場合、この点線を描きこまなければならない。

【0.0.2.6】また、図3.4には、ホストシリコン膜の再結晶化に要する膜温度と寸法速度との関係を示している。図中の印は図2.1と同じである。また、図表はホストシリコン膜の再結晶化に要する温度を示している。これより、再結晶化を基板の保護のより被処理膜温度と寸法速度とが密接な関係にあることが分かる。即ち、被処理膜温度と寸法速度の設定において、この点線を超えると基板が劣化する恐れがある。この図より、ドーピング量 $3.0 \times 10^{15} \text{ cm}^{-2}$ のn型ホストシリコン膜を再結晶化する場合、この点線を描きこまなければならない。

打ち込みにより不純物を注入したポリシリコン膜よりも低い温度で再結晶化が成され低抵抗化されることが分かる。

【0043】また、ドーザ量 $3.0 \times 10^{15} \text{ cm}^{-2}$ の場合などとして見比べると、イオンシャワーを用いることにより、イオン打ち込みよりも全体に低いシート抵抗が得られており、ウェットハーブが 0.8 kW では 0.8 kW に到達されている。更に、イオンシャワーによる注入膜の方でイオン打ち込みによる注入膜よりも低い膜温度で再結晶化が可能であることを考慮すると、膜自体の温度に関して、ドーザ量が大きくなればなるほど、イオンシャワーによる注入損傷はイオン打ち込みによる注入損傷よりもより低い温度で回復されることが分かる。そしてこの傾向はドーザ量が大きいほど顕著である。即ち、イオンシャワーではイオン打ち込みとは逆にドーザ量が大きいほど注入後の非晶質領域が小さくなり、これに依りて再結晶化温度も低くすることができる。これにより、イオンシャワーにより不純物をドーピングする際、シリコン結晶の損傷の防止、あるいは損傷の回復を行いながらイオン注入が成されることが推測される。

【0044】以下、本発明の主要な工程としたp-Si TFTの製造方法の実施形態を説明する。図5から図14は、製造工程を示す工程断面図である。まず図5において、ガラスからなる基板(10)上に、シランS114あるいはジシランS1216を材料ガスとしたCVDによりアモルファスシリコン(p-Si)を $300 \sim 1000 \text{ \AA}$ 好ましくは $500 \sim 600 \text{ \AA}$ の厚さに積層し、このp-Siを基板加熱 400°C のヒートレーサーアニールにより多結晶化し、ポリシリコン(p-Si)(11)とする。これを、反応性イオンエッチ、即ち、RIE(reactive ion etch)によりエッチングしてTFT部の能動層となる層を形成する。

【0045】続いて、図6に示す如く、 100°C の減圧CVDによりS10を 1000 \AA 程度の厚さに積層し、ゲート絶縁膜(12)を形成する。次に図7に示す如く、この上に、S110を材料ガスとした、 80°C の低圧CVDにより、ポリシリコン(p-Si)を $1000 \sim 1500 \text{ \AA}$ を積層して、低イオンシャワーを用いて低抵抗化した後、タングステン(W)サイド(WS1)(13a)を $500 \sim 1500 \text{ \AA}$ 好ましくは 1000 \AA の厚さにスパッタリテグする。引き続き、 410°C の常圧CVDによりS10を $1000 \sim 2000 \text{ \AA}$ 好ましくは 1500 \AA の厚さに積層した後、これをS1(2)、及びp-

チンゲすることにより、ゲート電極(13)とその上の注入ストッパー(14)の順にサイドウォール(15)を形成する。次に、図9に示す如く、ゲート電極(13)とサイドウォール(15)をマスクに磷(P)などのn型不純物の第1回のイオン注入を、イオン打ち込みにより、加速電圧 80 keV 、ドーザ量 $3 \times 10^{13} \sim 10^{15} \text{ cm}^{-2}$ (単位平方センチメートル当たりを 3×10^{10} の13乗)の意。)で行う。これにより、ゲート電極(13)とサイドウォール(15)を用いたセルフアライン関係をもってソース及びドレイン領域(11S、11D)とLD領域(11L)となる領域を低濃度(n-)にドーピングする。この時、ゲート電極(13)の直下はノンドーゾマチャンネル領域(11N)となっている。なお、サイドウォール(15)は、この工程において、磷イオン注入後のアニールによる横方向の拡散に対するマージンを確保するため、チャンネル領域端の不純物濃度を低くしてトレーン境界を緩和し、耐用を向上する働きを有している。

【0047】引き続き図10に示す如く、ゲート電極(13)よりもサイズの大きなレジスト(R)を被覆してこれをマスクに磷(P)の第2回のイオン注入をイオンシャワーにより、加速電圧 90 keV 、引き出し電圧 10 keV 、ドーザ量 $1.0 \times 10^{14} \sim 5.0 \times 10^{15} \text{ cm}^{-2}$ 、例えば $7.0 \times 10^{14} \text{ cm}^{-2}$ で行う。これにより、レジスト(R)直下が、低濃度のドーピング領域(n-)に保たれてLD領域(11L)として形成される主ととも、このLD領域(11L)の外側には、高濃度にドーピングされたn層からなるソース領域(11S)及びドレイン領域(11D)が形成される。ここで、イオンシャワーによるドーピングでは、スルーショットが200枚/日が達成され、従来の40枚/日よりも大幅に上昇している。

【0048】レジストの剥離後、p-c n TFTも同様にセルフアライン構造によりソース及びドレイン領域を形成した後、図11の状態でRTAを行う。p-Siのソース領域(11S)、11D、LD領域(11L)の活性化、及びドレイン領域(WS1)(13a)とS1(13b)とのサイドウォールによる低抵抗化を促す。この時、ポリシリコン及びp層がポリシリコン低抵抗化は従来の20度以下(1で見たように十分に達成されるが、イオンシャワー法ではこれよりも更に低い値が得られる)、n型ポリシリコンに関しては、基板の加熱温度はポリシリコン膜の再結晶化の方向を常に入れたウェットハーブの時の温度が約 400°C 程度であるため、再結晶化が十分に成される。

【0049】図12に示す如く、図11の工程で形成した

【0050】図13に示す如く、図12の工程で形成した

【0051】図14に示す如く、図13の工程で形成した

m/s、ランプパワー2.3kWにおいて、被処理膜温度780°Cでシート抵抗値2.7kΩ/□が得られている。これを図21に当てはめると基板が湾曲する可能性のある点線よりも遙かに下に位置することになり、再結晶化及び基板保護の両立が達成されていることが分かる。即ち、ソーダガラス基板の耐熱温度の限界とされる600°C以上の熱処理が可能となり、更に、十分に低いシート抵抗値2.7kΩ/□を得る780°C以上の熱処理も可能となっている。また、走査速度は12mm/s以上、少なくとも10mm/s以上に設定することが可能となることが分かる。

【0049】また、シート量3.0×10⁻¹⁵cm²/2の場合では、図4に更に低いシート抵抗が得られるとともに、シート量7.0×10⁻¹¹cm²/2の場合と同様、イオン打ち込みによるより低い0.0°C程度低い温度で再結晶化及び低抵抗化が成されることを示して、これを用いて当てはめると、点線より上の領域で再結晶化及び低抵抗化が実現されることが分かる。従って、このシート量において、低温プロセスが可能となる。

【0050】次に図12に示す如く、410°Cの常圧CVDによりSiO₂を2000Å形成し、600°Cでアニールした後、更に、300°CのプラズマCVDによりSiO₂を3000Åの厚さに成膜して、第1の絶縁絶縁膜（16）を形成する。その後、シリコン中の不結合を終端の目的で、150°CのHFアニールを行った後、RTEによりトランジスタ及びソース領域（11D、11S）上のゲート絶縁膜（12）及び第1の絶縁絶縁膜（16）中にコンタクトホール（CT1、CT2）を形成する。

【0051】そして、図13に示す如く、T1（A1S）をスパッタリングにより、7000Åの厚さに積層し、これをRTEによりハターエッチしてトレイス電極（17）及びソース電極（18）を形成し、各々、コンタクトホール（CT1、CT2）を介してトレイス及びソース領域（11D、11S）と接続させている。更に、シリコン中の不結合を終端の目的で、300°Cの目的プラズマ処理を行った後、図14に示す如く、410°CのCVDにより、SiO₂を3000Åの厚さに積層した後、SiO₂膜、即ち、スピンコート及び焼成により形成するSiO₂膜を被覆して、平坦化した後、更に、410°CのCVDにより、SiO₂を1000Åの厚さに積層して第2の絶縁絶縁膜（19）を形成する。そして、RTEにより第2の絶縁絶縁膜（19）中にコンタクト

より、LED構造のTFETの製造方法において、低農度領域の形成にはイオン打ち込み法を用いて低抵抗性を高めるとともに、ソース領域の土質を揃え、高濃度領域の形成にはイオン注入法を用いることで、ソース領域を大幅に上げることができた。これにより、低コストで良好な特性をもったTFETを製造することができるようになった。

【0054】また、RTA法を用いた不純物注入領域の活性化において、イオンシャワー法を用いた不純物注入領域はより温度を下げることができるとともに、ランプの走査速度を上げることが出来る。このため、基板への悪影響を無くするとともに、プロセス時間を短縮することでコストを上げることが出来る。

【図面の簡単な説明】

【図1】本発明に用いるイオンシャワー装置の概略図である。

【図2】イオン打ち込み法及びイオンシャワー法によるシート量とシート抵抗値との関係図である。

【図3】LED領域の有無に対するTFETの伝達特性である。

【図4】イオンシャワー法及びRTAにより低抵抗化したシリコン薄膜のシート抵抗値のランプパワーへの依存性を示す関係図である。

【図5】本発明の生産形態にかかるTFETの製造方法を説明する工程断面図である。

【図6】本発明の実施形態にかかるTFETの製造方法を説明する工程断面図である。

【図7】本発明の実施形態にかかるTFETの製造方法を説明する工程断面図である。

【図8】本発明の実施形態にかかるTFETの製造方法を説明する工程断面図である。

【図9】本発明の実施形態にかかるTFETの製造方法を説明する工程断面図である。

【図10】本発明の実施形態にかかるTFETの製造方法を説明する工程断面図である。

【図11】本発明の実施形態にかかるTFETの製造方法を説明する工程断面図である。

【図12】本発明の実施形態にかかるTFETの製造方法を説明する工程断面図である。

【図13】本発明の実施形態にかかるTFETの製造方法を説明する工程断面図である。

【図14】本発明の実施形態にかかるTFETの製造方法を説明する工程断面図である。

【図15】本発明の実施形態にかかるTFETの製造方法を

説明する工程断面図である。

【符号の説明】

11D トランジスタ領域、11S ソース領域、12 ゲート絶縁膜、

13 トレイス電極、14 ドレイン電極、15 ドレイン電極、

16 第1の絶縁絶縁膜、17 トレイス電極、

18 ソース電極、19 第2の絶縁絶縁膜、20 ドレイン電極、

タンガステンポリサイド膜のシート抵抗値とランツハフナーとの関係図である。

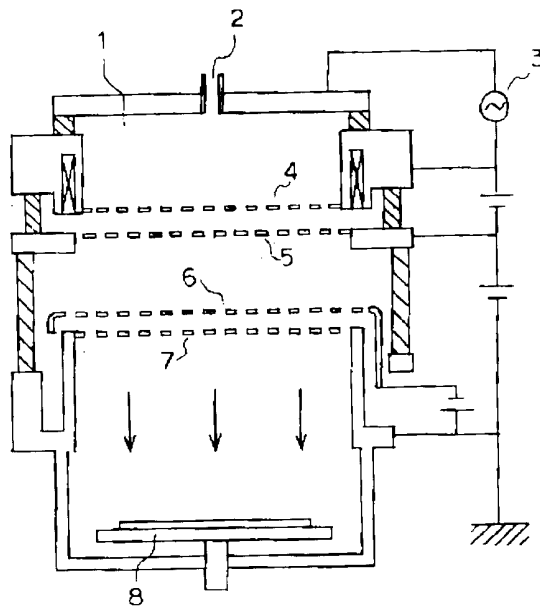
【図21】イオン打ち込み及びRTAを用いて低抵抗化したポリシリコン膜のシート抵抗値とランツハフナーとの関係図である。

【図22】イオン打ち込みを行ったポリシリコン膜の低抵抗化に要される膜温度と走査速度との関係図である。

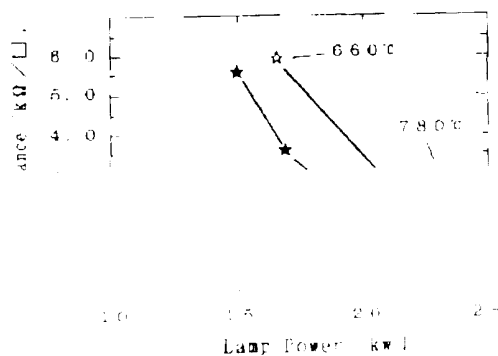
【符号の説明】

- 1 プラズマソース
- 2 ガス導入口
- 3 高周波電源
- 4 引き出し電極
- 5 加速電圧
- 6 抑制電極
- 7 接地電極

【図1】



【図1】



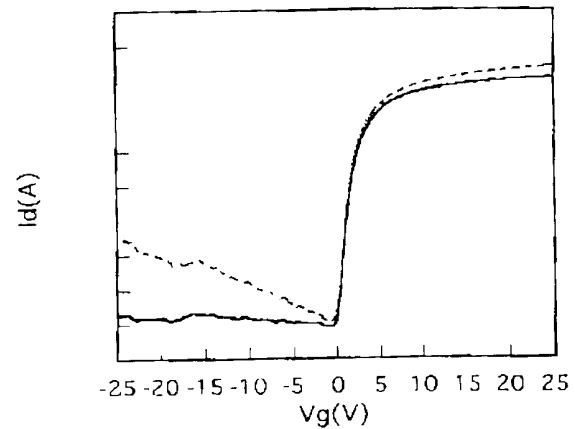
8 ステージ

- 10 基板
- 11 p-Si
- 12 ゲート絶縁膜
- 13 ゲート電極
- 14 注入ストッパ
- 15 サイドウォール
- 16 第1の層間絶縁膜
- 17 ソース電極
- 18 ドレイン電極
- 19 第2の層間絶縁膜
- 20 表示電極

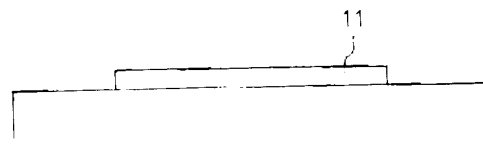
CT1、CT2、CT3 コンタクトホール

R レジスト

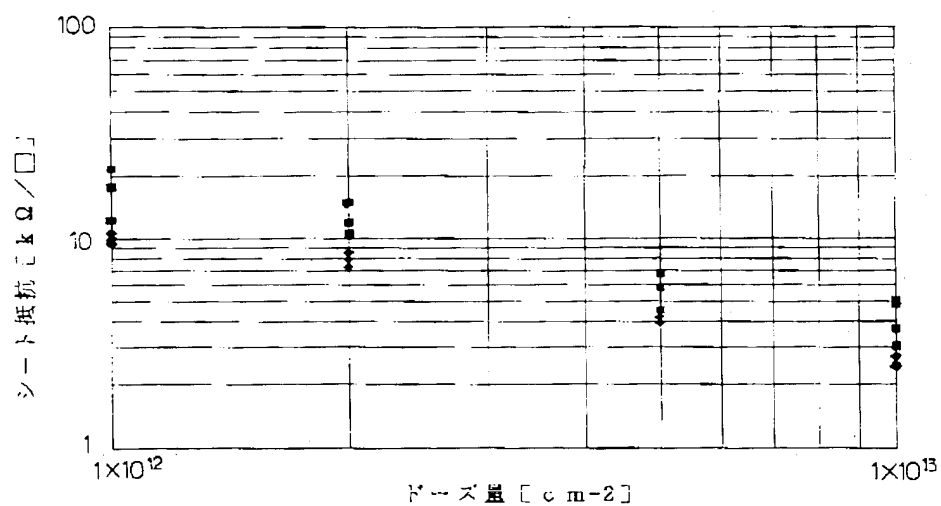
【図3】



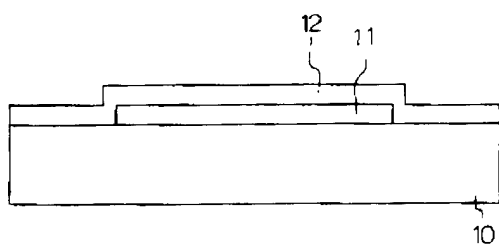
【図4】



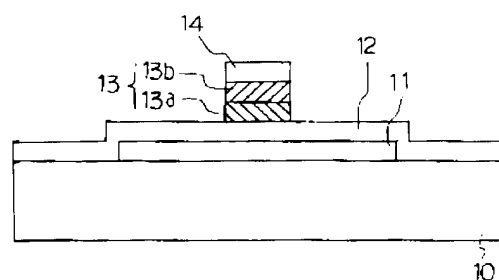
【図2】



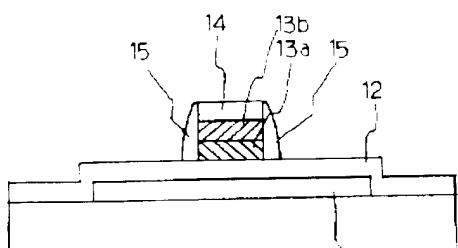
【図6】



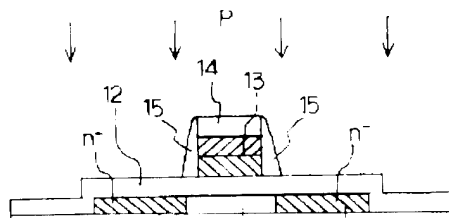
【図7】



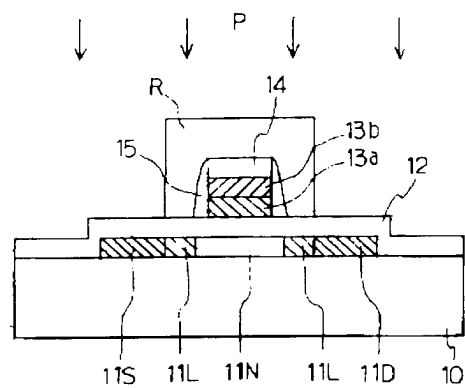
【図8】



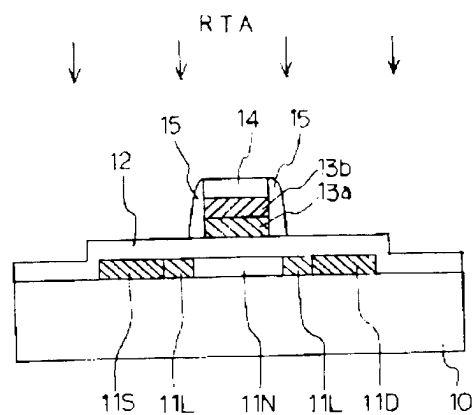
【図9】



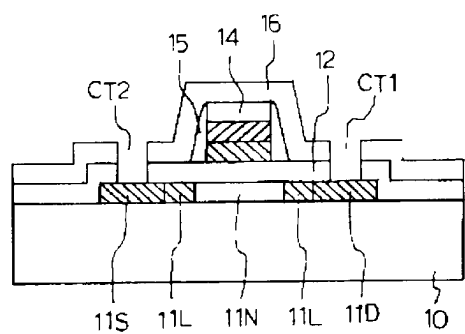
【図10】



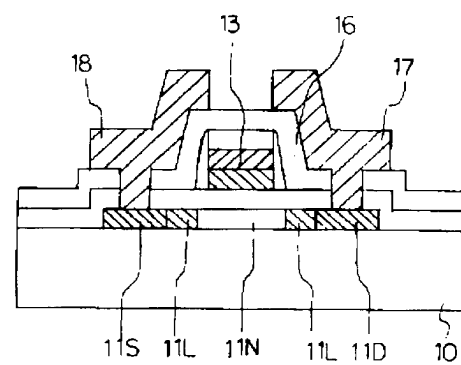
【図11】



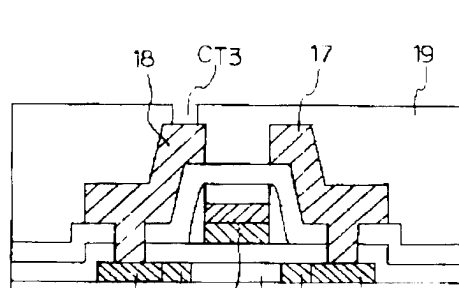
【図12】



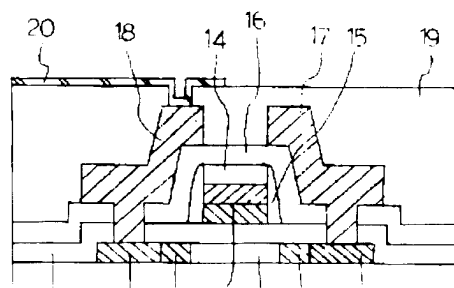
【図13】



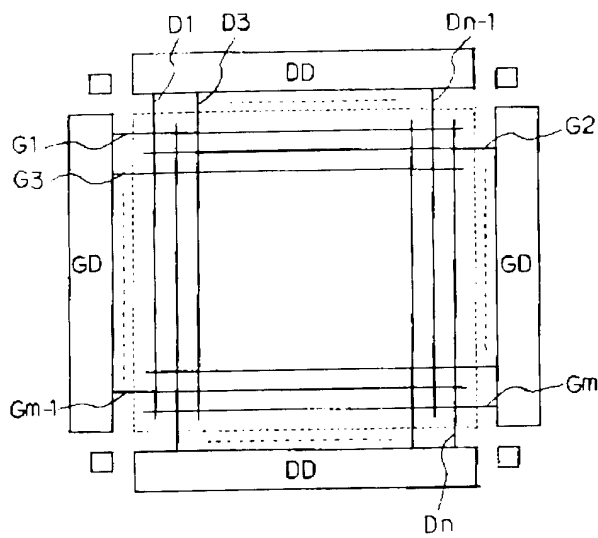
【図14】



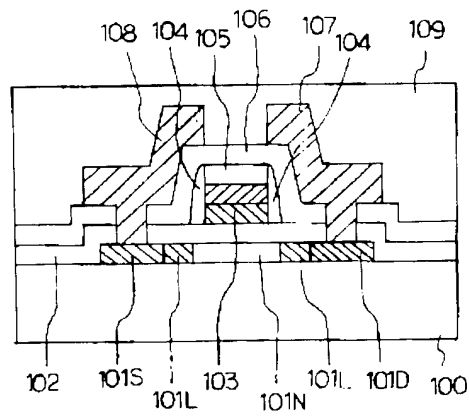
【図15】



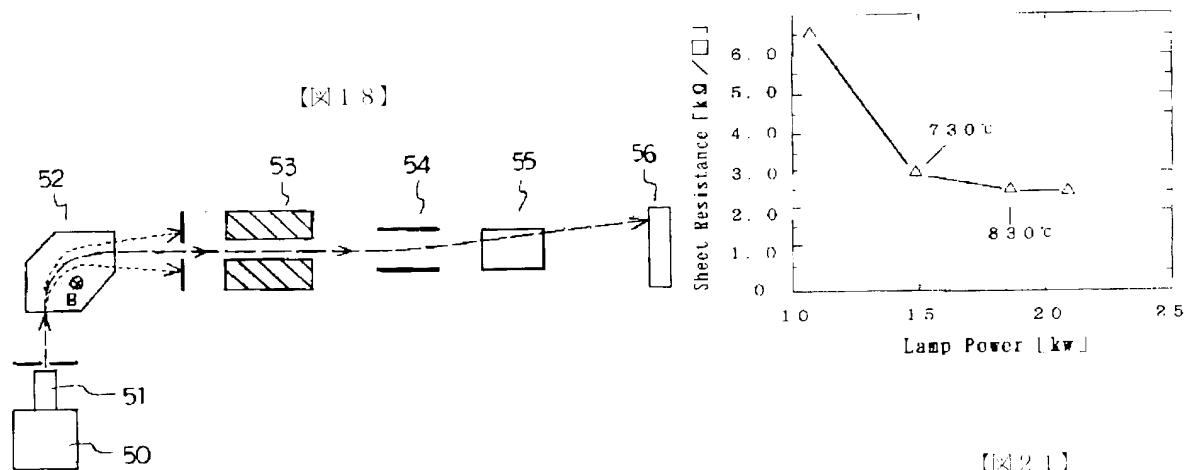
【図16】



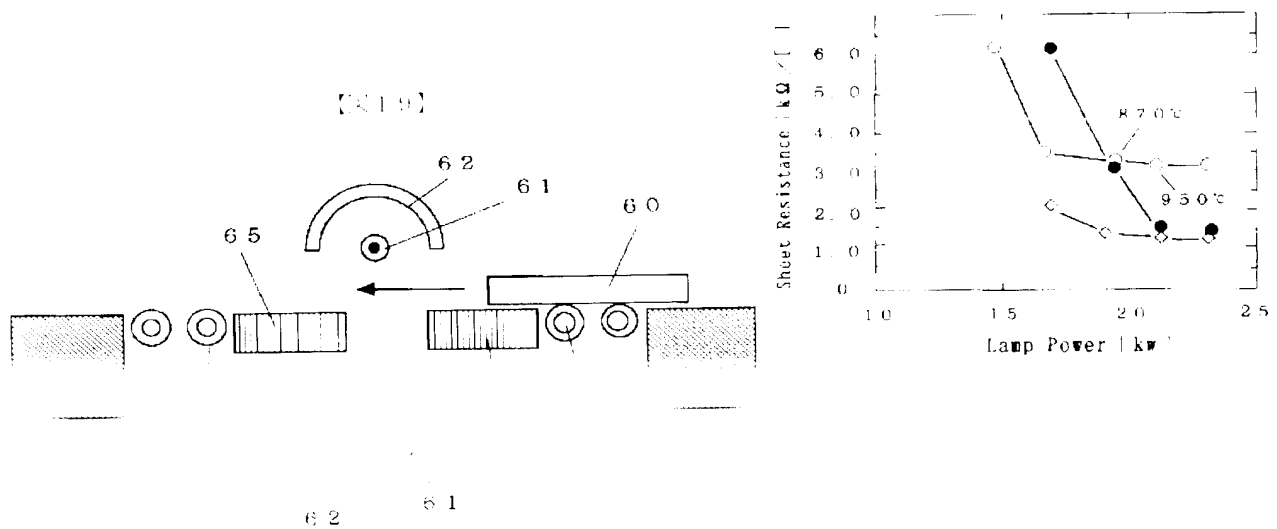
【図17】



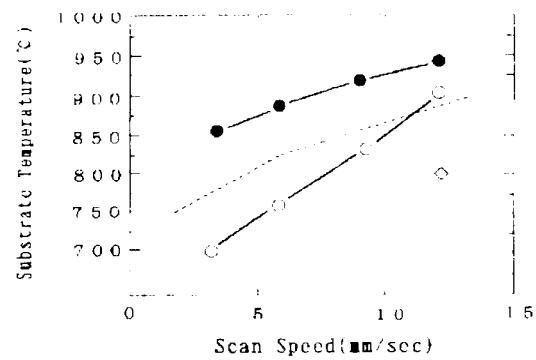
【図20】



【図21】



【図22】



フロントページの続き

(72) 発明者 鈴木 浩司
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 武内 勝
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内